

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-177720

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1368
G09G 3/20

(21)Application number : 2001-375676

(71)Applicant : SONY CORP

(22)Date of filing : 10.12.2001

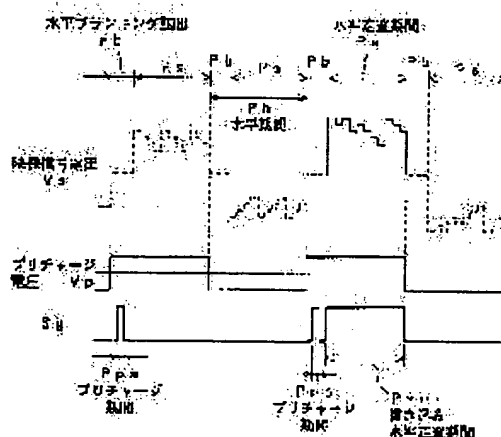
(72)Inventor : MORITA SHINTARO
CHISAKI MAKOTO

(54) LIQUID CRYSTAL DRIVING DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix driving type liquid crystal display element driving device in which no insufficient writing to pixels occurs and occurrence of degradation in picture quality caused by insufficient writing is prevented even when a horizontal blanking interval is short.

SOLUTION: Signals S_g to be supplied to an N-th scanning line from a vertical scanning circuit are made into pulses having a prescribed potential in a horizontal scanning interval P_{sn} corresponding to the N-th scanning line, an interval P_{pb} within a horizontal blanking interval that is immediately before the interval P_{sn} and an interval P_{pa} within a horizontal blanking interval that is two horizontal intervals before the interval P_{pb} . In the intervals P_{pa} and P_{pb} , a precharge voltage V_p is applied to the pixels located at the crossing positions of the N-th scanning line and each signal line so that these pixels are precharged. The polarities of the voltage V_p are reversed for every horizontal interval in accordance with video signal voltages V_s .



LEGAL STATUS

[Date of request for examination] 20.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2003-177720

(P2003-177720A)

(43)公開日 平成15年6月27日(2003.6.27)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード [*] (参考) |
|---------------------------|-------|---------------|--------------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 2 |
| G 0 2 F 1/133 | 5 5 0 | G 0 2 F 1/133 | 5 5 0 2 H 0 9 3 |
| 1/1368 | | 1/1368 | 5 C 0 0 6 |
| G 0 9 G 3/20 | 6 1 2 | G 0 9 G 3/20 | 6 1 2 L 5 C 0 8 0 |
| | | | 6 1 2 T |

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願2001-375676(P2001-375676)

(22)出願日 平成13年12月10日(2001.12.10)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 森田 真太郎

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

(72)発明者 地崎 誠

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

(74) 代理人 100091546

弁理士 佐藤 正美

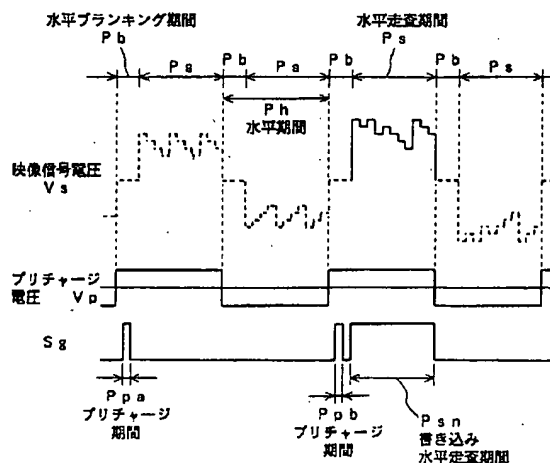
[最終頁に続く](#)

(54) 【発明の名称】 液晶駆動装置および液晶表示装置

(57)【要約】

【課題】 アクティブマトリクス駆動方式の液晶表示素子を駆動する装置で、水平ブランキング期間が短くても、画素への書き込み不足を解消でき、書き込み不足による画質劣化を防止できるようにする。

【解決手段】 垂直走査回路からN番目の走査線に供給される信号S_gを、N番目の走査線に対応する水平走査期間P_{sn}、その直前の水平ブランキング期間内の期間P_{pb}、および、その2水平期間前の水平ブランキング期間内の期間P_{pa}において、所定電位のパルスとし、期間P_{pa}およびP_{pb}において、N番目の走査線と各信号線との交差位置の各画素にプリチャージ電圧V_pを印加して、各画素をプリチャージする。プリチャージ電圧V_pは、映像信号電圧V_sに対応させて1水平期間ごとに極性を反転させる。



【特許請求の範囲】

【請求項1】基板上の、垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子を駆動する装置であって、画素に映像信号電圧を書き込む水平期間内の水平ブラン

10 キング期間内または水平走査期間内、および、その前の、映像信号電圧の極性が当該書き込み水平期間と同じ水平期間内の水平ブランキング期間内において、当該画素をプリチャージする液晶駆動装置。

【請求項2】請求項1の液晶駆動装置において、前記液晶表示素子を垂直方向に走査して前記走査線を順次選択するための、多段接続されたシフトレジスタと、このシフトレジスタの入力信号および出力信号、水平ブランキング期間を示す出力イネーブル信号、および水平ブランキング期間内のプリチャージ期間を示すプリチャージタイミング信号から、前記走査線に供給される信号を生成する信号生成回路と、前記複数の信号線に個々に接続された複数のアナログス

20 イッチが前記プリチャージタイミング信号により同時にオンにされることによって、前記複数の信号線に同時にプリチャージ電圧を印加するプリチャージ駆動回路と、を備えることを特徴とする液晶駆動装置。

【請求項3】垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子と、請求項1または2に記載の液晶駆動装置とが、同一基板上に形成された液晶表示装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリクス駆動方式の液晶表示素子を駆動する装置、および、同一基板上に、アクティブマトリクス駆動方式の液晶表示素子と、これを駆動する装置とが形成された液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス駆動方式の液晶表示素子は、垂直方向に配列された複数の走査線（ゲート線）と水平方向に配列された複数の信号線との交差位置に、複数の画素、および、これをスイッチングするTFT（Thin Film Transistor：薄膜トランジスタ）などの複数のスイッチング素子がマトリクス状に配置される。

40

【0003】この液晶表示素子では、垂直走査回路によって、各走査線が順次選択され、信号線駆動回路によって、各信号線を通じて、選択された走査線と各信号線との交差位置の各画素の画素電極に映像信号電圧（階調電圧）が印加される。

50

【0004】この場合、画素に映像信号電圧を書き込む水平走査期間の直前の水平ブランキング期間において、信号線および画素をプリチャージすることによって、信号線および画素への充電、および画素および信号線からの放電を促進して、画素への書き込み不足を防止する。

【0005】

【発明が解決しようとする課題】しかしながら、液晶表示素子をフルライン駆動するなど、液晶表示素子を高速で駆動する場合には、水平ブランキング期間が短くなって、水平ブランキング期間内でプリチャージ期間を十分に確保することができなくなり、プリチャージが不十分となって、画素電極への書き込み不足や、液晶自体の低温特性による書き込み不足を生じ、走査の終わり付近の画面輝度が意図した輝度より高くなるなどの画質劣化を生じる。

【0006】そこで、この発明は、アクティブマトリクス駆動方式の液晶表示素子を駆動する装置において、水平ブランキング期間が短くても、画素への書き込み不足を解消することができ、書き込み不足による画質劣化を防止することができるようにしたものである。

【0007】

【課題を解決するための手段】この発明の液晶駆動装置は、基板上の、垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子を駆動する装置であって、特に、画素に映像信号電圧を書き込む水平期間内の水平ブランキング期間内または水平走査期間内、および、その前の、映像信号電圧の極性が当該書き込み水平期間と同じ水平期間内の水平ブランキング期間内において、当該画素をプリチャージするものとする。

【0008】このように構成した、この発明の液晶駆動装置では、水平ブランキング期間が短くても、プリチャージ期間のトータルの時間幅が広がって、信号線および画素が十分にプリチャージされ、画素への書き込み不足が解消されて、書き込み不足による画質劣化が防止される。

【0009】

【発明の実施の形態】図1は、この発明の液晶駆動装置の一実施形態、および、この発明の液晶表示装置の一実施形態を示す。

【0010】この実施形態では、ガラス基板1、2間に、液晶表示素子10および液晶駆動装置が形成される。すなわち、液晶表示素子10のパネル内に、液晶駆動装置が組み込まれる。

【0011】液晶表示素子10は、アクティブマトリクス駆動方式のもので、図2および図3と合わせて示すと、一方のガラス基板1上に、走査線11が複数、垂直方向に配列されて形成され、これと絶縁されて、信号線

12が複数、水平方向に配列されて形成され、各走査線11と各信号線12の交差位置において、透明電極からなる画素電極13、ガラス基板1、2間に注入された液晶の画素14、スイッチング素子としてのTFT15、および保持容量16が形成される。

【0012】なお、カラー画像を表示する液晶表示素子では、ガラス基板2の内面に、赤、緑、青の色フィルタが順次、水平方向に配列されて形成される。

【0013】TFT15のゲート電極15gは走査線11に接続され、ソース電極15sは信号線12に接続され、ドレイン電極15dは画素電極13に接続される。

【0014】そして、走査線11を通じてゲート電極15gに走査パルスが印加されることによって、TFT15がオンとなって、後述のように信号線12から画素電極13にプリチャージ電圧および映像信号電圧が印加される。

【0015】図1に示すように、液晶駆動装置は、信号線12側の信号線駆動回路21およびプリチャージ駆動回路25、および走査線11側の垂直走査回路30を備え、信号線駆動回路21、プリチャージ駆動回路25および垂直走査回路30は、液晶表示素子10のスイッチング素子と同じ素子によって、この実施形態ではTFTによって、形成される。

【0016】信号線駆動回路21は、各信号線12に順次、すなわち水平方向に点順次で、映像信号電圧を印加するものである。一般に、液晶表示素子の駆動では、液晶の焼き付きやフリッカーを防止するため、画素電極には1走査線ごとに反転した極性の階調電圧が書き込まれる。それに対応した極性反転した映像信号電圧およびプリチャージ電圧を入力しなければならない。

【0017】この実施形態でも、信号線駆動回路21は、図6に示すように、1水平期間ごとに映像信号電圧Vsの極性を反転させて、映像信号電圧Vsを信号線12に印加するものとする。したがって、ある一つおきの水平期間では、映像信号電圧Vsが基準電位に対して正の電圧となり、残りの一つおきの水平期間では、映像信号電圧Vsが基準電位に対して負の電圧となる。

【0018】なお、カラー画像を表示する液晶表示素子では、信号線駆動回路21から信号線12に、映像信号電圧Vsとして、赤、緑、青の色信号電圧が順次、すなわち水平方向に点順次で、印加される。

【0019】プリチャージ駆動回路25は、各信号線12に個々に接続されたアナログスイッチ27を備え、水平ブランキング期間内のプリチャージ期間において、プリチャージタイミング信号PCGによりアナログスイッチ27がオンにされることによって、プリチャージ電圧Vpが各信号線12に印加される構成とする。

【0020】垂直走査回路30は、各走査線11に対応して、シフトレジスタ31、信号生成回路32および走査線駆動用の出力バッファ回路39を備え、出力バッ

ファ回路39の出力信号が対応する走査線11に供給される構成とする。

【0021】シフトレジスタ31は、各走査線11に対応したものが多段接続され、走査開始信号STを順次遅延させることによって、液晶表示素子10を垂直方向に走査して、走査線11を順次選択するものである。

【0022】図4に示すように、信号生成回路32は、それぞれ、2個の反転回路33、34および4個のナンド回路35、36、37、38によって構成される。

【0023】そして、N番目の走査線11に対応した信号生成回路32では、N段目のシフトレジスタ31の入力信号Siおよび出力信号Soが、反転回路33および34によって反転され、プリチャージタイミング信号PCG、シフトレジスタ入力信号Si、およびシフトレジスタ出力信号Soの反転信号Sovが、ナンド回路35に供給され、プリチャージタイミング信号PCG、シフトレジスタ入力信号Siの反転信号Siv、およびシフトレジスタ出力信号Soが、ナンド回路36に供給され、水平ブランキング期間を示す出力イネーブル信号ENB、シフトレジスタ入力信号Siの反転信号Siv、およびシフトレジスタ出力信号Soが、ナンド回路37に供給される。

【0024】さらに、ナンド回路35、36、37の出力信号Sa、Sb、Scが、ナンド回路38に供給され、ナンド回路38の出力信号が、出力バッファ回路39を通じて、N番目の走査線11に供給される信号Sgとして取り出される。

【0025】図5に、各信号のタイミング関係を示す。垂直走査回路30の信号生成回路32に供給される出力イネーブル信号ENBは、水平ブランキング期間Pbにおいて低レベル、水平走査期間Psにおいて高レベルとなるものであり、プリチャージタイミング信号PCGは、水平ブランキング期間Pb内の期間において高レベル、その他の期間において低レベルとなるものである。なお、プリチャージタイミング信号PCGは、水平ブランキング期間Pb内の、垂直走査用のシフトレジスタ31に入力されるクロック信号の極性反転タイミングより後で、高レベルとなる。

【0026】走査開始信号STは、図5では省略するが、フィールド（垂直走査期間）の初めの2水平期間において高レベル、その他の期間において低レベルとなるものである。したがって、図5に示すように、N段目のシフトレジスタ31の入力信号Siおよび出力信号Soは、それぞれ連続する2水平期間において高レベルとなり、かつ出力信号Soが入力信号Siに対して1水平周期遅れたものとなる。

【0027】シフトレジスタ入力信号Siの反転信号Siv、シフトレジスタ出力信号Soの反転信号Sov、信号生成回路32のナンド回路35、36、37の出力信号Sa、Sb、Sc、および出力バッファ回路39の

出力信号S_gは、それぞれ同図に示すものとなる。

【0028】したがって、垂直走査回路30からN番目の走査線11に供給される信号S_gは、N番目の走査線11に対応する水平走査期間P_{sn}、その直前の水平ブランキング期間内の期間P_{pb}、および、その2水平期間前の水平ブランキング期間内の期間P_{pa}において、所定電位のパルスとなる。

【0029】これによって、N番目の走査線11と各信号線12との交差位置の各画素は、期間P_{pa}およびP_{pb}において、ブリチャージタイミング信号PCGによりブリチャージ駆動回路25のアナログスイッチ27がオンにされることによって、ブリチャージ電圧V_pが印加され、ブリチャージされるとともに、期間P_{pb}の直後の水平走査期間P_{sn}において、信号線駆動回路21によって、映像信号電圧V_sが印加され、書き込まれる。

【0030】すなわち、N番目の走査線11と各信号線12との交差位置の各画素は、信号線駆動回路21によって映像信号電圧V_sが印加される書き込み水平走査期間P_{sn}の直前の、互いの間に1水平期間おいた、図6に示すように映像信号電圧V_sが同じ極性となる2つの水平期間内の水平ブランキング期間内の期間P_{pa}およびP_{pb}において、ブリチャージされる。

【0031】したがって、水平ブランキング期間P_bが短くても、ブリチャージ期間のトータルの時間幅が広くなって、信号線12および画素14が十分にブリチャージされ、画素14への書き込み不足が解消されて、書き込み不足による画面領域内の輝度むらなどの画質劣化が防止される。

【0032】このように、書き込み水平走査期間P_{sn}の直前の水平ブランキング期間内、および、その2水平期間前の水平ブランキング期間内に、それぞれブリチャージ期間P_{pb}およびP_{pa}を設定するので、各画素14では、1フィールドより2水平期間短い期間、映像信号電圧V_sを保持容量16に保持させる。

【0033】ブリチャージ電圧V_pが一定値であると、画素14に直流電圧が印加されて、液晶の焼き付きを生じる。そのため、図6に示すように、ブリチャージ電圧V_pは、映像信号電圧V_sに対応させて1水平期間ごとに極性を反転させ、周期が2水平期間分の、デューティが50%の矩形波電圧とする。この場合、ブリチャージ電圧V_pは、水平ブランキング期間P_b内のブリチャージ期間となる期間内で反転させずに、その手前の時点で反転させるようにする。

【0034】期間P_{pa}は、N番目の走査線と各信号線12との交差位置の各画素に対する1回目のブリチャージ期間であると同時に、2ライン前の(N-2)番目の走査線と各信号線12との交差位置の各画素に対する2回目のブリチャージ期間であり、期間P_{pb}は、N番目の走査線と各信号線12との交差位置の各画素に対する

2回目のブリチャージ期間であると同時に、2ライン後の(N+2)番目の走査線と各信号線12との交差位置の各画素に対する1回目のブリチャージ期間である。

【0035】上記の例は、図5に示したように、N番目の走査線11に供給される信号S_gとして、書き込み水平走査期間P_{sn}の直前の水平ブランキング期間内の期間P_{pb}においてもブリチャージ用パルスが得られるように、垂直走査回路30を構成する場合であるが、書き込み水平走査期間P_{sn}において、N番目の走査線11と各信号線12との交差位置の各画素に映像信号電圧V_sが点順次で印加されるまでの間、各画素がブリチャージされるように、ブリチャージ駆動回路25を構成してもよく、N番目の走査線11に供給される信号S_gとしては、書き込み水平走査期間P_{sn}の直前の水平ブランキング期間内ではブリチャージ用パルスが得られないように、垂直走査回路30を構成してもよい。

【0036】また、水平ブランキング期間P_bが非常に短い場合などには、書き込み水平走査期間P_{sn}の直前の水平ブランキング期間内の期間P_{pb}、または書き込み水平走査期間P_{sn}と、その前の、映像信号電圧V_sの極性が書き込み水平走査期間P_{sn}と同じ2つ以上の水平期間内の水平ブランキング期間内に、それぞれブリチャージ期間を設定して、同一画素を1フィールド内で3回以上に渡ってブリチャージするように、液晶駆動装置を構成してもよい。

【0037】

【発明の効果】上述したように、この発明によれば、水平ブランキング期間が短くても、ブリチャージ期間のトータルの時間幅を広くすることができ、信号線および画素を十分にブリチャージすることができる。したがって、画素への書き込み不足を解消することができ、書き込み不足による画面領域内の輝度むらなどの画質劣化を防止することができる。

【図面の簡単な説明】

【図1】この発明の液晶駆動装置の一実施形態を示す図である。

【図2】アクティブマトリクス駆動方式の液晶表示素子の一例を示す図である。

【図3】アクティブマトリクス駆動方式の液晶表示素子の一例を示す図である。

【図4】図1の実施形態の垂直走査回路の一例を示す図である。

【図5】図1の実施形態における各信号のタイミング関係を示す図である。

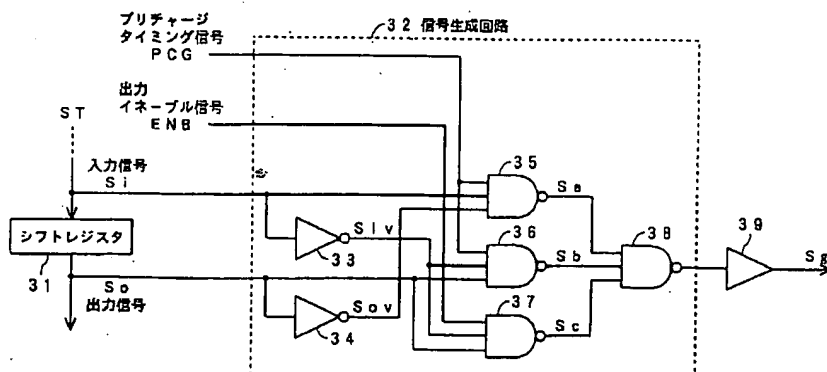
【図6】図1の実施形態における各信号のタイミング関係を示す図である。

【符号の説明】

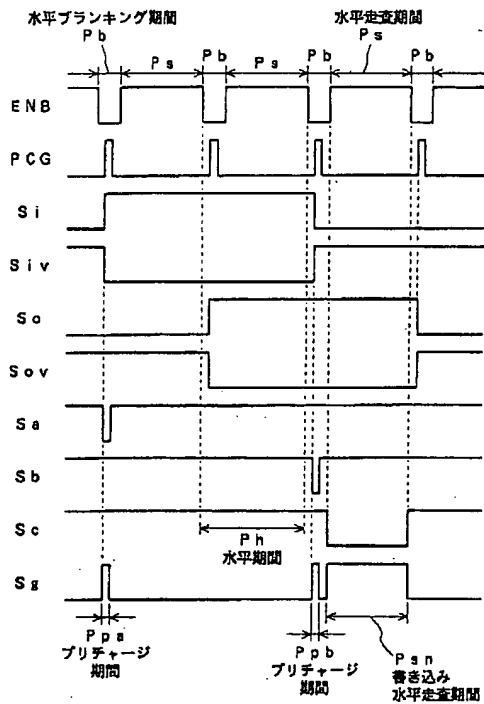
主要部については図中に全て記述したので、ここでは省略する。

[illegible]

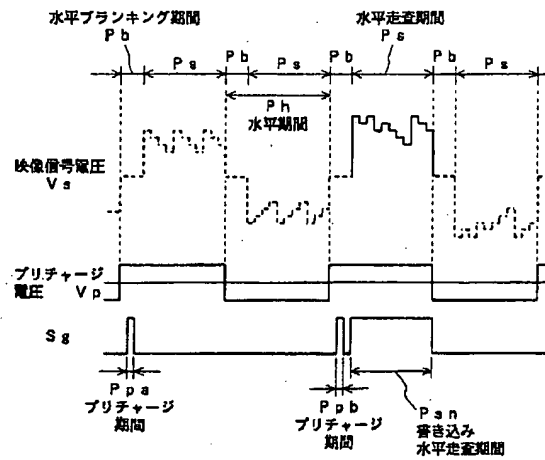
30 壁直走査回路(N番目の走査線に対応する部分)



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁷

G09G 3/20

識別記号

621

FI

G09G 3/20

キーワード (参考)

621A

Fターム(参考) 2H092 GA59 JA24 NA01 PA06
 2H093 NA16 NC22 NC34 ND09
 5C006 AA22 AF73 BC11 BC20 BF03
 BF26 BF49 FA24
 5C080 AA10 BB05 CC03 DD05 FF11
 JJ02 JJ03 JJ04 JJ06